

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 77 16169

(54)

Cellule de stockage MOSFET.

(51)

Classification internationale (Int. Cl.²). **G 11 C 11/40.**

(22)

Date de dépôt **26 mai 1977, à 15 h 41 mn.**

(33) (32) (31)

Priorité revendiquée : *Demande de brevet déposée aux Etats-Unis d'Amérique le 1er juin 1976, n. 691.646 au nom de Richard Gary Daniels.*

(41)

Date de la mise à la disposition du
public de la demande **B.O.P.I. — «Listes» n. 52 du 30-12-1977.**

(71)

Déposant : Société dite : **MOTOROLA INC.,** résidant aux Etats-Unis d'Amérique.

(72)

Invention de :

(73)

Titulaire : *Idem* (71)

(74)

Mandataire : **Cabinet Bert, de Keravenant et Herrburger, 115, boulevard Haussmann, 75008 Paris.**

L'invention concerne une cellule de mémoire numérique et notamment une cellule de stockage statique MOSFET réalisable sous forme de circuit intégré monolithique.

Dans les systèmes numériques, il est souhaitable d'utiliser des éléments de mémoire bistables ou des cellules de stockage dont l'état change en fonction de l'application d'un signal d'entrée binaire. On connaît une grande diversité de types de cellules de stockage qui sont également appelées bascules bistables (flip-flop) ou circuits de verrouillage. Les systèmes numériques complexes actuels demandent un grand nombre de cellules de stockage de façon à échanger par coopération des informations numériques entre elles, et les cellules de stockage constituent souvent une partie importante de l'ensemble de l'installation. Cela est particulièrement vrai pour les systèmes numériques tels que des microprocesseurs qui sont réalisés avec des composants MOSFET sous forme de circuit intégré monolithique. Ces microprocesseurs à circuit intégré comportent, de façon caractéristique, un grand nombre de cellules de stockage réparties sous forme de registres de données échangeant des informations numériques par des conducteurs de données. Ainsi, un objectif très souhaitable est de réaliser une cellule de stockage MOSFET simple, utilisant un nombre réduit de composants et qui puisse se réaliser sur une plaquette de surface plus réduite. Etant donné le grand nombre de cellules de stockage concernées et les problèmes de disposition liés aux interconnexions, l'utilisation d'une cellule de stockage plus simple comportant un nombre de composants plus réduit, et plus facile à brancher, peut avoir une influence considérable sur la réduction de la surface totale de la plaquette et de façon correspondante, le coût de fabrication du circuit intégré monolithique.

Dans les cellules de stockage bistables, l'état binaire d'enregistrement est défini par l'état de conduction des éléments à couplage croisé qui sont disposés de façon que la conduction d'un élément assure le blocage de l'autre. Dans un tel système, lorsque l'information numérique est transmise entre les répartitions de cellules de stockage identiques, le fonctionnement des cellules de stockage doit assurer qu'un signal d'entrée contrôle les éléments internes de la cellule en déterminant l'état de stockage final. Dans les circuits intégrés utilisant des composants MOSFET, les cellules de stockage doivent avoir de plus, des éléments de commutation et de transmission commandés par des signaux d'horloge pour assurer que la condition ci-dessus soit satisfaite. Ces dispositifs complémentai-

res, ainsi que la complexité des branchements associés à la transmission des signaux d'horloge, entraînent une augmentation de la surface des plaquettes et une augmentation correspondante du coût de fabrication de telles cellules sous forme de circuits intégrés.

5 L'invention a pour but de créer une cellule de stockage MOSFET, statique, perfectionnée, comportant des inverseurs à couplage croisé dont le chemin de couplage entre l'entrée et la sortie des cellules de stockage se fasse par l'intermédiaire d'une réaction résistive.

10 De façon résumée, l'invention concerne une cellule de stockage MOSFET, statique, formée d'inverseurs à couplage croisé dont les moyens de réaction résistifs assurent le couplage permanent de l'entrée de la cellule de stockage et de la sortie, en évitant l'isolation de la sortie de la cellule de stockage par rapport à l'entrée
15 de la cellule de stockage pour permettre à un signal d'entrée appliqué momentanément de modifier l'état enregistré dans la cellule et de maintenir, également, l'état conducteur de la cellule lorsque le signal d'entrée appliqué momentanément disparaît.

L'invention sera décrite à l'aide d'un mode de réalisation
20 représenté schématiquement dans l'unique figure annexée.

La figure représente une partie d'un système numérique comportant une cellule de stockage MOSFET 10 selon l'invention. Il est à remarquer que l'expression MOSFET concerne, de façon générale, tous les transistors à effet de champ à gâchette isolée. Cette définition
25 est reprise dans l'invention. On remarque qu'un MOSFET peut avoir un canal de type P ou de type N. Pour la description du fonctionnement des circuits, on suppose qu'il s'agit de MOSFET à canal de type N, bien que l'on pourrait, également, utiliser des MOSFET à canal de type P. Il est également connu qu'un MOSFET est un dispositif
30 bilatéral à deux électrodes principales interchangeable comme source et comme drain en fonction de l'électrode qui est au potentiel le plus positif. La convention adoptée pour la description est que l'électrode principale est appelée, soit "source", soit "drain" bien que pendant le fonctionnement du circuit, une électrode appelée
35 "source" peut fonctionner comme drain pendant une partie du temps et inversement. Les MOSFET peuvent, également, être des composants à enrichissement ou à appauvrissement. Bien que les circuits décrits utilisent des composants à enrichissement, on pourrait, également, utiliser des composants à appauvrissement et notamment des composants
40 ayant une liaison entre la gâchette et la source pour leur

propre polarisation.

Selon la figure, un premier conducteur de données 12 est relié au drain du composant MOSFET 14 dont la source est reliée à l'entrée de la cellule de stockage 10 par le conducteur 16. La porte du MOSFET 14 est reliée au conducteur de commande 18 qui fournit des signaux numériques nécessaires au transfert de données de la ligne 12 à l'entrée de la cellule de stockage 10. Un second conducteur de données 20 est relié au drain du MOSFET de transmission 22, dont la source est reliée à l'entrée de la cellule de stockage 10 par le conducteur 16. La porte du MOSFET 22 est reliée au conducteur de commande 24 qui fournit les signaux numériques nécessaires au transfert de données de la seconde ligne 20 à l'entrée de la cellule de stockage 10. Le conducteur 26 qui est la sortie de la cellule de stockage 10 est relié à la source du MOSFET 28 dont le drain est relié à la première ligne de données 12. La porte du MOSFET 28 est reliée au conducteur de commande 30 qui fournit les signaux numériques nécessaires au transfert d'informations numériques de la cellule de stockage 10 au premier conducteur de données 12. Le conducteur 26 relie également la sortie de la cellule de stockage 10 au drain du composant MOSFET 32 dont la source est reliée au second conducteur de données 20. La porte du MOSFET 32 est reliée au conducteur de commande 34 qui fournit les signaux de commande numériques nécessaires pour transférer les informations de la cellule 10 au second conducteur 20.

A la figure, la cellule de stockage 10 comporte un premier inverseur MOSFET formé des MOSFET 36 et 38, un second inverseur MOSFET formé par les composants MOSFET 40, 42 et une boucle de réaction résistive formée par le MOSFET 44. Le conducteur d'entrée 16 de la cellule de stockage 10 est relié à la gâchette du MOSFET 36 et à la source du MOSFET 44. La source du MOSFET 36 est reliée à un premier conducteur d'alimentation qui est à la masse dans ce mode de réalisation. Le drain du MOSFET 36 est relié au conducteur 46, lui-même relié à la source du MOSFET 38 et à la gâchette du MOSFET 40. Le drain du MOSFET 38, est relié à un second conducteur d'alimentation 48, au potentiel V_{DD} dans ce mode de réalisation particulier. La gâchette du MOSFET 38 est également reliée au potentiel V_{DD} de façon que le MOSFET 38 forme une charge à polarisation autonome pour le premier inverseur MOSFET. La source du MOSFET 40 est reliée au premier conducteur d'alimentation (masse) et le drain du MOSFET 40 est relié au conducteur 26, lui-même relié au drain du MOSFET 44 et à la source du MOSFET 42 et qui forme la sortie de la cellule de

stockage 10. La porte et le drain du MOSFET 42 sont reliés au conducteur 48 qui est potentiel V_{DD} de façon que le MOSFET 42 forme une charge à polarisation autonome pour le second inverseur MOSFET. La gâchette du MOSFET 44 est reliée à une tension de référence qui, dans l'exemple de réalisation de la figure, est le conducteur 48 à la tension V_{DD} . On remarque que dans le mode de réalisation préférentiel, les MOSFET 38, 42, 44 sont à enrichissement. Toutefois, les MOSFET 38 et/ou 42 pourraient également être des composants fonctionnant en mode d'appauvrissement (utilisant une liaison entre la gâchette et la source pour la polarisation autonome) et le MOSFET 44 pourrait, également, travailler en mode d'appauvrissement.

Le fonctionnement de la cellule de stockage 10 est expliqué en se reportant à la figure et en supposant que le MOSFET 40 est conducteur. Les conducteurs de commande 18, 24, 30, 34, sont tous supposés être initialement à l'état logique "0", de sorte que les MOSFET 14, 22, 28 et 32 sont tous bloqués. Comme la gâchette du MOSFET 44 est reliée à une tension de référence (V_{DD}), le MOSFET 44 est toujours conducteur et il applique ainsi le niveau logique "0" au conducteur 26 pour créer un état logique "0" dans le conducteur 16 et dans le MOSFET 36. Le blocage résultant du MOSFET 36 permet au MOSFET 38 de charge de mettre le conducteur 46 au niveau "1" pour que le MOSFET 40 reste conducteur et que la cellule 10 reste dans un état stable (conservant un état logique "0"). L'entretien du blocage du MOSFET 36 nécessite seulement un courant suffisant à travers le MOSFET 44 pour éviter tout établissement de tension sur la gâchette du MOSFET 36 par suite de fuite ou de courant parasite. Cette condition peut se satisfaire en réalisant le MOSFET 44 sous la forme d'un petit composant présentant une impédance relativement élevée à l'état conducteur. Si après, on suppose que l'état enregistré dans la cellule 10 doit passer de l'état logique "0" à l'état logique "1", on commence cette modification en appliquant un niveau logique "1" à l'entrée de la cellule de stockage 10 par le conducteur 16. Ce niveau logique "1" peut débiter sur le premier conducteur 12 ou le second conducteur 20 et être transmis à l'entrée de la cellule de stockage 10 par les MOSFET 14 ou 22 respectifs, en réponse à des signaux de commande logiques "1" dans les conducteurs de commande 18 ou 24. Comme indiqué ci-dessus, l'état précédent de la cellule 10 (enregistrant l'état logique "0") est conservé par le niveau logique "0" dans le conducteur 26 transmis à la gâchette du MOSFET 36 par le MOSFET 44. Pour modifier l'état de la cellule 10, il faut que

le nouveau niveau logique "1" apparaissent dans le conducteur 16, soit supérieur au niveau logique "0" initial du conducteur 26 pour que le MOSFET 36 puisse passer à l'état conducteur. Dans les cellules de stockage MOSFET, connues, les éléments de commutation commandés par des signaux d'horloge ont été utilisés pour interrompre la réaction interne de la cellule de stockage et permettre l'application d'un signal d'entrée pour modifier l'état d'enregistrement de la cellule. La caractéristique principale de l'invention réside dans le fait que la résistance incorporée dans le chemin de réaction interne de la cellule de stockage, permet d'arriver à ce résultat de façon beaucoup plus simple, avec moins de composants MOSFET et sans les problèmes de liaisons pour les horloges. Une autre façon de décrire l'invention consiste à remarquer qu'une simple cellule de stockage MOSFET, statique, s'obtient en utilisant une résistance assurant à la fois, le couplage et le découplage. Comme représenté à la figure, un niveau logique "1" appliqué à la gâchette du MOSFET 36 par les conducteurs d'entrée 16 rend ce MOSFET 36 conducteur à cause de l'impédance relativement élevée du MOSFET 44 et découple le niveau logique "1" du conducteur d'entrée 16 par rapport au niveau logique "0" du conducteur 26. La conduction du MOSFET 36 entraîne que le conducteur 46 passe de l'état logique "1" à l'état logique "0" en appliquant ainsi un état logique "0" à la gâchette du MOSFET 40 et permet au drain de ce MOSFET (conducteur 26) de passer du niveau logique "0" au niveau logique "1". En fonctionnement normal, le niveau logique "1" appliqué à l'entrée de la cellule de stockage 10 par le MOSFET 14 ou par le MOSFET 22 est momentané, suivant la durée déterminée par les signaux de commande dans les conducteurs 18 ou 24. Lorsque les MOSFET se bloquent, le niveau logique "1" du conducteur 16 doit être maintenu si la cellule de stockage 10 doit conserver un état stable d'enregistrement du niveau logique "1". Cette condition est satisfaite par le MOSFET 44 qui assure alors la fonction de couplage en transmettant le niveau logique "1" du conducteur 26 sur la gâchette du MOSFET 36. On voit ainsi qu'une résistance constituée par le MOSFET 44 dans le mode de réalisation particulier de la figure, peut assurer, à la fois, le découplage et le couplage et donne une cellule de stockage MOSFET statique beaucoup plus simple ayant un nombre minimum de composants. Dans un circuit intégré monolithique, la suppression de toute condition de branchement externe sur les lignes d'horloge, offre de notables avantages de réalisation, de sorte que l'ensemble du dispositif et de la

BEST AVAILABLE COPY

zone de connexion interne nécessaire à la réalisation de chaque cellule de stockage est considérablement réduit. Cette réduction de la surface de la cellule peut être un élément important de la réduction de la surface de la plaquette totale et ainsi du coût de fabrication total du circuit intégré monolithique dans des systèmes complexes tels que des microprocesseurs ayant un grand nombre de cellules de stockage formant des registres.

Dans une application particulière, la structure du circuit de la figure a été utilisée pour former les cellules de stockage d'un registre de microprocesseur. Dans cette application, le premier conducteur 12 est le conducteur d'adresse et le second conducteur 20 est le conducteur de données. Dans cette application, les MOSFET de la cellule de stockage 10 sont caractérisés par les largeurs suivantes de canal en fonction de la longueur du canal (W/L) :

15	<u>Dispositif n°</u>	<u>Rapport W/L</u>
	36	0,040/0,006 mm
	38	0,002/0,022 mm
	40	0,12 /0,01 mm
	42	0,01 /0,02 mm
20	44	0,01 /0,03 mm

En utilisant les rapports ci-dessus, on peut réaliser une structure plus compacte, par suite de l'absence d'interconnexions pour l'horloge. Une cellule de stockage qui demandait antérieurement 2,8 mm² ne nécessite plus maintenant qu'environ 0,56 mm². Comme dans un microprocesseur, il faut 72 cellules de registre de ce type, la surface totale du composant de la partie registre a été réduite pratiquement de 50 %.

Bien entendu, l'invention n'est pas limitée à l'exemple de réalisation ci-dessus décrit et représenté, à partir duquel on pourra prévoir d'autres modes et d'autres formes, sans sortir du cadre de l'invention.

BEST AVAILABLE COPY

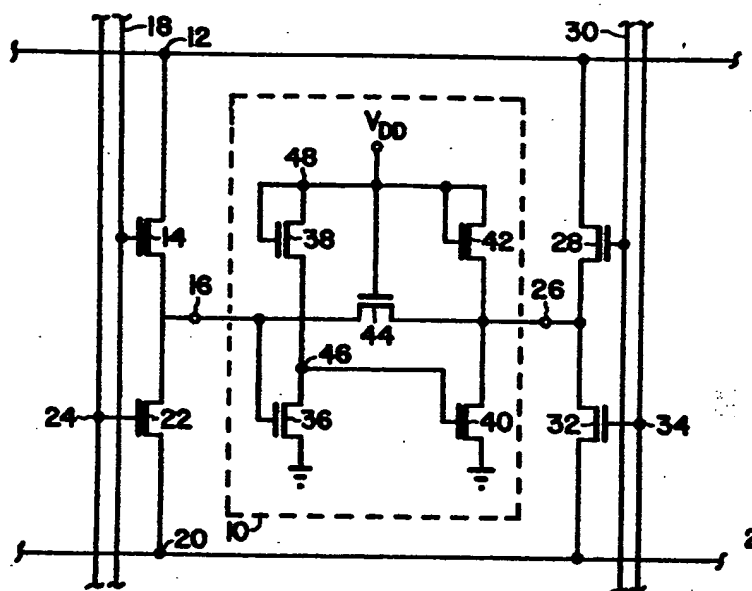
R E V E N D I C A T I O N S

- 1.- Cellule de stockage statique MOSFET ayant une entrée (16) et une sortie (26), caractérisée en ce qu'elle comprend un premier inverseur (36,38) ayant une entrée couplée à l'entrée
5 de la cellule de stockage ainsi qu'une sortie (46), un second inverseur (40,42) ayant une entrée reliée à la sortie du premier inverseur (46) et une sortie reliée à la sortie (26) de la cellule de stockage et une réaction résistive (44) reliée en permanence à l'entrée de la cellule de stockage à la sortie (26) pour
10 isoler cette sortie de l'entrée (16) de la cellule de stockage et permettre l'application momentanée d'un signal d'entrée pour modifier l'état de conduction du premier inverseur et pour maintenir l'état conducteur du premier inverseur lorsque le signal momentanément appliqué est supprimé.
- 15 2.- Cellule selon la revendication 1, caractérisée en ce que la réaction résistive est un MOSFET de réaction (44) dont le drain est couplé à la sortie du second inverseur, la source étant couplée à l'entrée du premier inverseur et la gâchette étant couplée à la tension de référence (48).
- 20 3.- Cellule selon la revendication 2, caractérisée en ce que le premier et le second inverseur sont couplés chacun à un premier et un second conducteur d'alimentation.
- 4.- Cellule selon la revendication 3, caractérisée en ce que la gâchette du MOSFET de réaction (44) est reliée au
25 second conducteur d'alimentation (48).
- 5.- Cellule de stockage statique MOSFET formée par le couplage croisé d'un premier et d'un second inverseur (36,38, 40,42), caractérisée en ce qu'on réalise le couplage croisé en couplant directement la sortie (46) du premier inverseur à l'en-
30 trée du second inverseur et la sortie du second inverseur à l'entrée du premier inverseur par une réaction résistive (44).
- 6.- Cellule selon la revendication 5, caractérisée en ce que le moyen de réaction résistive se compose d'un MOSFET de réaction (44) dont le drain est relié à la sortie du second
35 inverseur, la source étant reliée à l'entrée du premier inverseur et la gâchette étant reliée à une tension de référence (48).
- 7.- Cellule de stockage numérique caractérisée en ce qu'elle comporte un premier et un second conducteur d'alimentation, un premier MOSFET (36) dont la gâchette est reliée (16)
40 de la cellule de stockage, la source étant reliée au premier conducteur d'alimentation, un second MOSFET (38) dont la

BEST AVAILABLE COPY

dont la source est reliée au drain du premier transistor MOSFET, le drain étant relié au second conducteur d'alimentation, un troisième MOSFET (40) dont la gâchette est reliée au drain du premier MOSFET, la source étant reliée à la première alimentation, 5 le drain étant relié à la sortie (26) de la cellule de stockage, un quatrième MOSFET (42) dont la source est reliée au drain du troisième transistor MOSFET et dont le drain est relié au second conducteur d'alimentation, un cinquième MOSFET (44) dont la gâchette est reliée à la seconde alimentation (44), le drain étant 10 relié au drain du troisième MOSFET (40) et la source étant reliée à la gâchette du premier MOSFET (36).

BEST AVAILABLE COPY



BEST AVAILABLE COPY